تحلیل و طراحی و مدلسازی دوبعدی ترانزیستور تونلی شاتکی با دی‌الکتریک TiO_2

پریسا سروی[۱] parisa.sarvi71@gmail.com
حامد امین زاده[۲] hamedmr1@yahoo.com
جواد جوادی مقدم[۳] javadi5599@yahoo.com
[۱]دانشجوی کارشناسی ارشد/ دانشکده مهندسی برق و الکترونیک، دانشگاه پیام نور مرکز تهران شمال، تهران، ایران
[۲]دانشیار/ دانشکده مهندسی برق و الکترونیک، دانشگاه پیام نور مرکز تهران شمال، تهران، ایران
[۳]استادیار/ دانشکده مهندسی برق و الکترونیک، دانشگاه پیام نور مرکز تهران شمال، تهران، ایران

چکیده: در این مقاله طراحی و تحلیل و مدل سازی ترانزیستور تونلی شاتکی با استفاده از ***TiO_2*** برای دی الکتریک گیت انجام شده است. وجود یک تونلینگ شاتکی در رابط کانال سورس و جریان درین به دلیل تونل سازی پیشرفته از یک باند شارژ به باند دیگر در ناحیه رابط تقاطع ها باعث بهبود قابل توجه ترانزیستور میشود. با این کار هدایت و در نتیجه میزان تونل زنی افزایش میابد. در نهایت باعث افزایش کارایی ترانزیستور میشود. مدل مورد استفاده در طراحی ترانزیستور بر مبنای پتانسیل سطح در امتداد کانال با استفاده از معادله پواسون دو بعدی با شرایط مرزی مناسب طراحی کوتاهترین فاصله بین سورس / کانال و جریان سورس درین استوار میباشد. با توجه به افزایش میزان تونل زنی، که این امر موجب کاهش جریان میشود، ترانزیستور پیشنهادی مدلی برای مکمل های فلزی اکسیدهای نیمه هادی و (CMOS) است. که شبیه ساز این مدل را با سیلواکو انجام دادیم.

کلید واژه‌ها: *ترانزیستور، تونل، جریان، دی الکتریک، سیلواکو.*

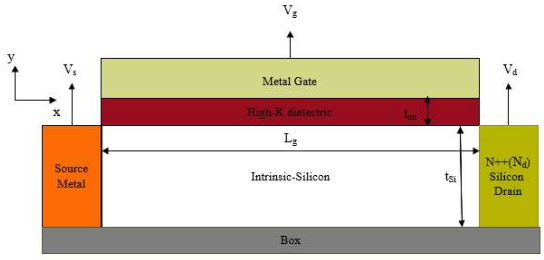
۱. مقدمه

کاهش اندازه گیری CMOS (مکمل ترانزیستورهای ماده اکسید) با محدوده زیر ۱۰۰ نانومتر، MOSFET های معمولی مشکلات متعددی مانند جریان های نشتی حالت خاموش، شیب زیراستانه بالا و چندین اثر کانال کوتاه (SCE) را نشان میدهد. این مشکلات نشان دهنده قدرت پیشرفته ای در مقیاس بندی ولتاژ سورس تغذیه میباشد. بنابراین، برای حل این مشکلات غیر معمول MOSFET ها، SB FET ها به طور گسترده برنامه ریزی شده است [۴-۱]. در SB FET مزایای اساسی مانند محافظت از اثرات کانال کوتاه، طول تا ابعاد زیر 10 نانومتر و کاهش مقاومت سورس درین را نشان میدهند [۵،۶]. با این حال، SB FET ها از دو حالت استفاده میکنند، که شامل کاهش جریان در حالت ON و افزایش جریان در حالت OFF میباشد [۹-۷]. بنابراین،برای بهبود جریان در حالت ON و همچنین کاهش جریان در حالت OFF در SB FET، تحقیقات زیادی انجام شده است [۱۰]. طبق تحقیقات [۱۳-۱۱] که در ان برای کاهش جریان در حالت OFF، از یک باند نازک Si_3N_4 بین کانال سورس و کانال درین استفاده میشود. علاوه بر این، با گسترش بین رابط کانال درین میتوانیم به طراحی نامتقارن کانال های سورس/درین بپردازیم. اما هیچ یک از این تحقیقات فوق برای طراحی SB FET بهینه نیستند. این روش ها عمدتا مشکل ساخت را افزایش میدهند و برای ساخت ترانزیستور در مقیاس نانومتر دشوار هستند. FET های تونل زنی شاتکی در

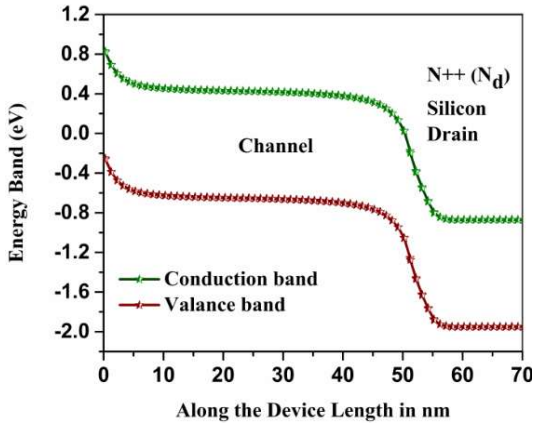
SBT FET موجب افزایش جریان و افزایش نسبت سوییچینگ I_{ON}/I_{OFF} میشود. از این رو، یک مدل تحلیلی مبتنی بر پتانسیل سطحی ماده جدید برای تونل زنی شاتکی دو گیتی SBT FET ارائه شده است. با تغییر ماده سورس در منطقه تونل سازی، موجب میدان الکتریکی بالاتری در منطقه اتصال شاتکی شده و جریان درین را افزایش می دهد. در اینجا، یک مدل ریاضی جدید برای ماده دو گیتی SB FET مطرح شده است. از طرفی، سیلیکون به عنوان ماده سورس و درین انتخاب شده است. معادلات ریاضی دوبعدی برای پتانسیل سطحی دو گیتی SB FET سیلیکونی با طول کانال دقیق با استفاده از معادله پواسون بررسی میشود. علاوه بر این، مدل ریاضی به وسیله نتایج شبیه سازی سیلواکو تایید میشود [۱۴].

نمای شماتیک دو بعدی تونلی زنی شاتکی SBT FET با استفاده از ماده TIO_2 به عنوان ماده دی الکتریک در شکل ۱ با مشخصات مطرح شده مدل سازی و شبیه سازی میشود: NiSi به عنوان سورس با مقدار SBH=0.65ev میباشد، دوپینگ کانال $10^{16}cm^3$ میباشد، دوپینگ درین سیلیکون $N_d=10^{19}cm^3$ میباشد، ضخامت اکسید $t_{ox}=2nm$ میباشد، ضخامت سیلیکون $t_{si}=10nm$ میباشد، طول گیت $L_g=50nm$که $\phi_{m1}=4ev$ و $\phi_{m2}=5.1ev$ میباشد و طول سورس و درین 20nm میباشد. با کاهش جریان حالتOFF ، مقدار دوپینگ سمت درین کاهش میابد. و همچنین افزایش کانال در حالت Ion موجب کاهش مقاومت میشود. همچنین، موجب عدم تطابق در فرایند ساخت تونل کوتاه کانال FET میشود. در ناحیه درین، با مقدار سیلیکون +N دوپینگ میابد، منطقه تونل زنی را کاهش میدهد. در این جا V_{gs} بایاس گیت سورس و V_{ds} بایاس درین سورس میباشد. در شبیه سازی مقدار الکترون های باند انرژی و حفره های باند انرژی SBT FET برای منطقه حالت ON با توابع ماده گیت در شکل۲ نشان داده شده است. ارتفاع گیت و عرض تونل زنی باعث افزایش حاملها در ناحیه تماس تماس کانال سورس موجب افزایش جریان حالت ON میشود. همچنین، از NiSi برای تشکیل سورس استفاده میشود که دارای مقادیرSBH=0.61-0.67ev میباشد. شکل ۳ کاهش

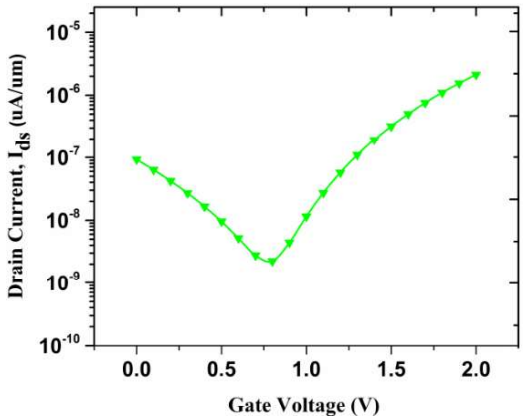
اساسی مدل باند به باند حامل های تونل زنی SB FET را توسط تحقیقات R.Javaheri و V.Nagavarapu و همکاران بیان میکند [۱۵]. ویژگی های الکتریکی از داده های استخراج شده از مدل مرجع با ابعاد دقیق اندازه گیری شده [۱۵] و ساختار SBT FETبا دی الکتریک TiO_2 در شکل ۳ مشاهده میشود. مدل باند به باند محلی، تونل زنی الکترون ها و حفره ها دقیق هستند و با داده های ساختاری برای تعیین کالیبراسیون برابر هستند. که مقادیر $m_e=0.27m0$ و $m_h=0.555m0$ میباشد. شکل ۳ برای جریان درین SBT FET پیشرفته را در حالت شبیه سازی و داده های تحقیقاتی نشان میدهد [۱۵]. واضح است که خروجی های شبیه سازی شده و خروجی های تحقیقاتی برای مدل SBT FET [۱۵]تقریبا مشابه هستند، بنابراین این شبیه سازی معتبر میباشد. مشاهده میشود که SBT FETبا ساختار دی الکتریک TiO_2 کارایی قابل توجهی (در هر دو حالت ON و OFF) نسبت به معادل SBT FETمعمولی خود به دلیل مزایای حاصل از مفاهیم مهندسی ماده سورس را نشان میدهد. بنابراین مکانیزم تونل زنی با افزایش جریان تونل، برای کاربرد های VLSI کم مصرف با ایمنی کانال کوتاه پیشرفته مناسب تر است.



شکل ۱: نمای شماتیک دو بعدی گیت دو فلزی شاتکی تونل زنی FET (SBT) با استفاده از دو گیت فلزی TiO_2 به عنوان دی الکتریک گیت



شکل ۲: نمودار باند انرژی SBT FET در حالت روشن با دی الکتریک TiO_2



شکل ۳: مقدار I_{ds}-V_{gs} شبیه سازی TiO_2

مدلسازی تحلیلی توزیع پتانسیل

تابع کار SBT FET با استفاده از دو نوع گیت ϕ_{M1}و ϕ_{M2} برای ترانزیستور فوق مدل سازی شده است، که $\phi_{M1}<\phi_{M2}$، و اثرات کانال کوتاه و بهره وری الکترون را بازیابی میکند [۱۶،۱۷]. ابعاد ترانزیستور در شکل ۱ نشان داده شده است. SBT FET دوبعدی با استفاده از شبیه ساز Silvaco نشان داده شده است [۱۱]. دوپینگ یکنواخت در ناحیه اکسید گیت و سیلیکون به عنوان کانال در بایاس پایین شبیه سازی شده است. از اینرو معادلات پواسون به شکل زیر تعریف میشوند:

$$\frac{\partial^2\varphi(x,y)}{\partial x^2}+\frac{\partial^2\varphi(x,y)}{\partial y^2}=\frac{qN^a}{\varepsilon_{Si}} \qquad (۱)$$

که N_a دوپینگ پذیرنده در منطقه سیلیکون و q بار الکترون است. جهت y-جهت پتانسیل سطحی است که تابع سهموی میباشد [۱۳].

(۲)

$$U_{11}(x)y+\varphi_{S1}(x)+U_{12}(x)y^2=\varphi_1(x,y)\ for\ 0\le y\le t_{Si},0\le x\le L_1$$

(۳)

$$U_{21}(x)y+\varphi_{S2}(x)+U_{22}(x)y^2=\varphi_2(x,y)\ for\ 0\le y\le t_{Si},0\le x\le L_1+L_2$$

ثابتهای $U_{21}(x)$، $U_{12}(x)$، $U_{21}(x)$، $U_{11}(x)$ و $U_{22}(x)$ توابعی از X هستند که با اعمال شرایط مرزی محاسبه میشوند.

(i) پتانسیل در مرز کانال سورس سیلیکونی:

$$\varphi_1(0,0)=\varphi_{S1}(0)=V_{bi,S/D} \qquad (۴)$$

پتانسیل سطحی در مرز کانال سورس درین سیلیکونی:

$$\varphi_1(L_1+L_2,0)=\varphi_2(L_1+L_2)=V_{bi,S/D}+V_{DS} \qquad (۵)$$

$\Delta\phi_{bS}$ ماده نیمه هادی است که سورس را کاهش می دهد [۹] V_{bi}، پتانسیل داخلی در نزدیکی S / D است.

$$\Delta\phi_{bS}=K\left[\frac{lq}{4\pi\varepsilon_S}\right]^{\frac{1}{2}}E_{Source}^{\frac{1}{2}}$$

$$V_{bi,S/D}=X+\frac{E_g}{2}+\phi_F-\phi_{S/D}$$

E_{Source} میدان الکتریکی نزدیک سورس جانبی است که ϕ_F = V_T ln (Na / ni) پتانسیل فرمی در لایه سیلیکون با مقادیر κ = 1 و ℓ = 1.5 است.

در محل اتصال ماده گیت TiO_2 میدان الکتریکی ثابت است. که در این حالت شرایط مرزی زیر را به دست میاوریم [۱۸].

$$\frac{d\varphi_1(x,y)}{dy}|_{y=0}=\frac{\varepsilon_{OX}}{\varepsilon_{Si}}\frac{V_{FB1}+\varphi_1(x,y)|_{y=0}-V_{GS}}{t_{ox,f}} \qquad (۶)$$

$$=\frac{d\varphi_2(x,y)}{dy}|_{y=0}=\frac{\varepsilon_{OX}}{\varepsilon_{Si}}\frac{V_{FB2}+\varphi_2(x,y)|_{y=0}-V_{GS}}{t_{ox,f}} \qquad (۷)$$

ε_{ox}و ε_{si} مقادیر مجاز سیلیکون هستند، V_{FB1} ولتاژ باند سطح کانال ماده ۱، V_{FB2} ولتاژ باند کانال مسطح ماده۲، t_{ox} اکسید گیت و V_{gs} ولتاژ گیت سورس است.

(d) میدان الکتریکی نزدیک محل اتصال کانال پشتی و اکسید تحتانی است:

$$\frac{d\varphi_1(x,y)}{dy}|_{y=t_{Si}}=\frac{\varepsilon_{OX}}{\varepsilon_{Si}}\frac{V_{SUB}-V_{FB,b}-\varphi_B(x)}{t_{box,b}} \qquad (۸)$$

$$\frac{d\varphi_2(x,y)}{dy}|_{y=t_{Si}}=\frac{\varepsilon_{OX}}{\varepsilon_{Si}}\frac{-V_{FB,b}-\varphi_B(x)+V_{SUB}}{t_{box,b}} \quad (۹)$$

V_{FB}، ولتاژ باند سطح کانال است، $\varphi_B(x)$ پتانسیل در سراسر کانال پشتی و اکسید تحتانی، V_{SUB} ولتاژ بستر است، t_{si} ضخامت لایه سیلیکون و t_{box} ضخامت اکسید تحتانی است.

(e) پتانسیل سطحی در کانال ثابت است. ما ممکن است شرایط مرزی زیر را در دو ماده متفاوت به دست اوریم.

$$\varphi_1(L_1,0)=\varphi_2(L_1,0) \quad (۱۰)$$

(f) میدان الکتریکی در محل اتصال دو ماده متمایز ثابت است.

$$\frac{d\varphi_1(x,y)}{dx}|_{x=L_1}=\frac{d\varphi_2(x,y)}{dx}|_{x=L_1} \quad (۱۱)$$

با حل معادلات ریاضی از (۶ تا ۹) میتوانیم مقادیر U11(x) ، U12 (x)، U21(x) و U22(x) را بدست می‌اوریم. سپس با گذاشتن این مقادیر در عبارات برای φ1(x , y) ، و y = 0، میتوانیم عبارات زیر را به دست اوریم:

$$\frac{d^2\varphi_{S1}}{dx^2}-\alpha\varphi_{S1}(x)=\beta_1 \; and \; \frac{d^2\varphi_{S2}}{dx^2}-\alpha\varphi_{S2}(x)=\beta_2 \quad (۱۲)$$

$$\alpha=\frac{C_{ox,f}C_{Si}+C_{ox,f}C_b+C_bC_{Si}}{t^2_{Si}C_{Si}(2C_{Si}+C_b)} \quad (۱۳)$$

(۱۴)

$$\beta_1=\frac{qN_a}{\varepsilon_{Si}}-2(V_{GS}-V_{FB1,f})\left(\frac{C_{ox,f}(C_{Si}+C_b)}{t^2_{Si}C_{Si}(2C_{Si}+C_b)}\right)-2(V_{SUB}-V_{FB,b})\frac{C_b}{t^2_{Si}C_{Si}(2C_{Si}+C_b)}$$

(۱۵)

$$\beta_2=\frac{qN_a}{\varepsilon_{Si}}-2(V_{GS}-V_{FB2,f})\left(\frac{C_{ox,f}(C_{Si}+C_b)}{t^2_{Si}C_{Si}(2C_{Si}+C_b)}\right)-2(V_{SUB}-V_{FB,b})\frac{C_b}{t^2_{Si}C_{Si}(2C_{Si}+C_b)}$$

جایی که CSi ظرفیت خازن لایه سیلیکون، Cox اکسید گیت و Cb اکسید تحتانی هستند.

$C_{si}=t_{si}$, $C_{oxf}=t_{ox}$. $C_b=t_{box,b}$

راه حل معادله (۱۲) باید در شرایط مرزی صدق کند.

$$\varnothing_{01}(0)=V_{bi,\frac{S}{D}}-\Delta\varphi_{bS} \; and \; \vartheta_{02}(L_1+L_2)=V_{bi,\frac{S}{D}}+V_{DS}$$

معادله دیفرانسیل ناهمگن با ضریب ثابت راه حل بعدی را توضیح میدهد.

(۱۶)

$$\varnothing_{S1}(x)=H_1\exp(\gamma x)+H_2\exp(-\gamma x)-\mu_1$$

(۱۷)

$$\vartheta_{S2}(x)=H_3\exp(\gamma(x-L_1))+H_4\exp(-\gamma(x-L_1))-\mu_2$$

با استفاده از شرایط مرزی (۴)، (۵)، (۱۰) و (۱۱) مقادیر H_1، H_2، H_3 و H_4 به دست میاید:

$$H_1=\frac{(V_{bi}+V_{DS}-\mu_2)+\alpha_{11}-(V_{bi}-\mu_2-\Delta\varphi_{bS})e^{-\gamma(L_1+L_2)}}{e^{\gamma(L_1+L_2)}\left(1-e^{-2\gamma(L_1+L_2)}\right)} \quad (۱۸)$$

$$H_2=\frac{(V_{bi}+V_{DS}-\mu_2)-(V_{bi}-\mu_1-\Delta\varphi_{bS})e^{-\gamma(L_1+L_2)}+\alpha_{11}}{e^{\gamma(L_1+L_2)}\left(1-e^{-2\gamma(L_1+L_2)}\right)} \quad (۱۹)$$

$$H_3=Ae^{\gamma(L_1)}+\frac{(\mu_1-\mu_2)}{2} \quad (۲۰)$$

$$H_4=Ae^{-\gamma(L_1)}+\frac{(\mu_1-\mu_2)}{2} \; ;a_{11}=(\mu_1-\mu_2)\cosh(\gamma L_2) \quad (۲۱)$$

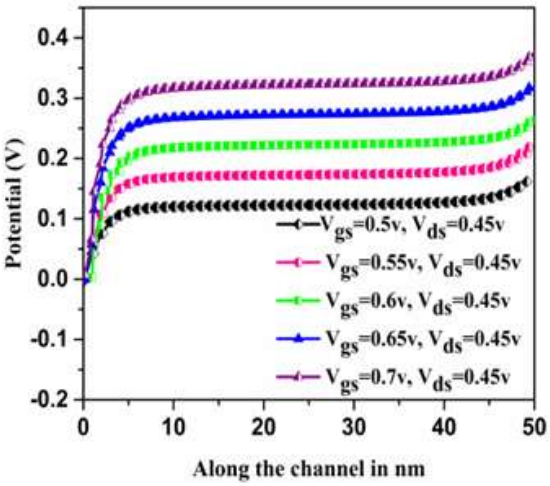
مشخصات میدان الکتریکی در طول کانال را میتوان با اختلاف پتانسیل سطح حل کرد. میدان الکتریکی جانبی را میتوان به صورت زیر نوشت:

$$E_1(x)=\frac{d\varphi_1(x,y)}{dx}=H_{1\gamma\exp(\gamma x)}-H_{2\gamma\exp(-\gamma x)} \quad ; \quad 0\le x\le L_1$$

$$E_2(x)=\frac{d\varphi_2(x,y)}{dx}=H_{3\gamma\exp(\gamma(x-L_1))}-H_{4\gamma\exp(-\gamma(x-L_1))} \quad ; \; 0\le x\le L_2$$

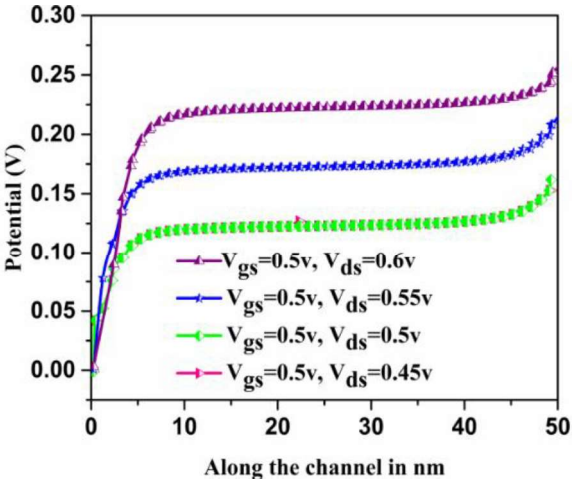
اعتبارسنجی مدل تحلیلی با نتایج شبیه سازی

توزیع پتانسیل ساختار SBT FET پیشنهادی در محور X با مقادیر V_{gs}=0.5V-0.7V در بایاس درین V_{ds}=0.45 در شکل ۴ نشان داده شده است. در اینجا، برای بایاس درین ثابت، پتانسیل سطح با افزایش بایاس گیت به دلیل کنترل بیشتر گیت بر روی سطح کانال سیلیکون افزایش میابد. نتایج مدل با داده های شبیه سازی شده با دقت زیاد تایید میشود. علاوه بر این، پتانسیل در ناحیه ماده سورس به ناحیه کانال با انتخاب تونل زنی شاتکی و تابع کار گیت تونل زنی حامل ها مطلوب میباشد.



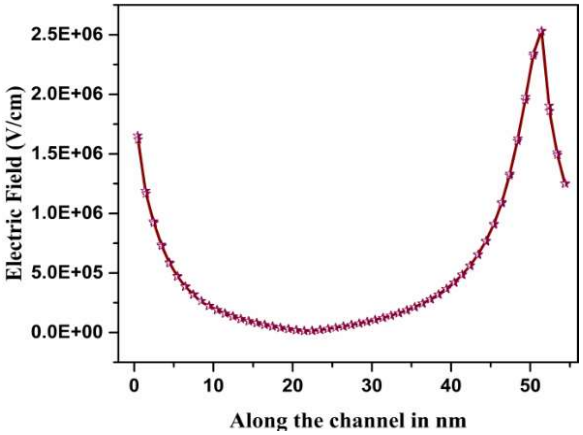
شکل ۴: توزیع گیت در امتداد کانال در V_{ds} = 0.45V

شکل ۵ تغییرات پتانسیل را در طول کانال برای بایاس درین مختلف V_{ds} ترانزیستور پیشنهادی نشان میدهد. با V_{gs} ثابت با مقادیر 0.5V، و V_{ds}های متغییر در ساختار SBT FET پیشنهادی ما را نشان میدهد.



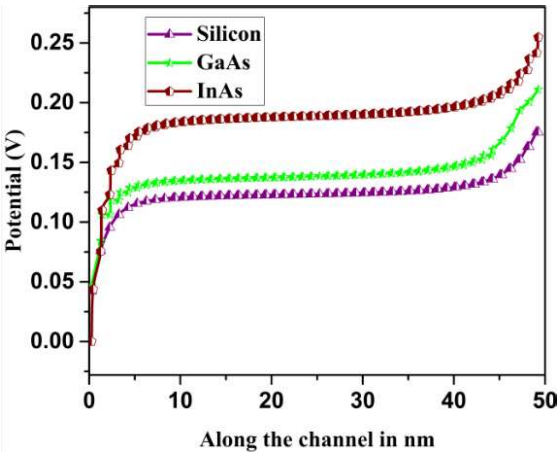
شکل ۵: پتانسیل در امتداد طول کانال درگیت V_{gs}=0.5V

شکل ۶ مقادیر میدان الکتریکی Vgs=Vds=0.5V را برای ساختار SBT FET نشان میدهد. این نمودار نتایج شبیه سازی میدان الکتریکی در طول کانال برای ترانزیستور پیشنهادی است. در SBT FET با افزایش میدان الکتریکی عمودی، امکان تونل زنی افزایش میابد. طراحی ترانزیستور پیشنهادی بسیار سازگارتر میباشد.



شکل ۶: الکتریک فیلد همراه با فاصله جانبی

در ترانزیستور پیشنهادی، لایه نازک سیلیکون بررسی میشود. شکاف باند انرژی بیشتر است، به همین دلیل SBT FET جریان تونل زنی را نشان میدهد. بنابراین، برای افزایش ON جریان SBT FET، استفاده از مواد مختلف موجب افزایش تحرک الکترون میشود. هدف مهم فروپاشی شکاف باند انرژی و افزایش جریان درین است. مواد مورد استفاده InAs وGaAs میباشد. نتایج شبیه سازی با مواد مختلف در شکل ۷ نشان داده شده است. مهمترین هدف استفاده از مواد مختلف موجب افزایش تونل زنی نسبت به لایه نازک سیلیکون میباشد. علاوه بر این، شکاف باند انرژی کاهش و جریان درین و همچنین پتانسیل سطح سیلیکون SBT FET افزایش می یابد [۱۹،۲۰]. با کاهش باند انرژی حامل ها افزایش میابد که موجب افزایش جریان تونل زنی میشود. InAs کمترین باند برای پتانسیل سطحی ترانزیستور پیشنهادی است. به این دلایل بین مواد مختلف InAs مطلوب تر میباشد [۲۱].



شکل ۷: پتانسیل سطح کانال در مواد مختلف

نتیجه گیری

یک مدل ریاضی دو بعدی تونل زنی شاتکی SBT FET دو گیتی با دی الکتریک TiO_2 بررسی میشود. در این تحقیق، پتانسیل سطح کانال با استفاده از معادلات پواسون حل میشود. ما عملکرد SBT FET را با پارامترهای مختلف از نظر کاهش اثرات با عملکرد SB FET از نظر عملکرد افزایش تونل زنی در مقایسه با ترانزیستور معمولی مورد بررسی قرار دادیم. مدل پیشنهادی با توجه به نتایج شبیه سازی و ریاضی تایید میشود.

مراجع

[1] Baie, X. and J. Colinge, *Two-dimensional confinement effects in gate-all-around (GAA) MOSFETs.* Solid-State Electronics, 1998. **42**(4): p. 499-504.

[2] Masahara, M., et al., *Fabrication and characterization of vertical-type, self-aligned asymmetric double-gate metal-oxide-semiconductor field-effect-transistors.* Applied Physics Letters, 2005. **86**(12): p. 123512.

[3] Chaudhry, A. and M.J. Kumar, *Controlling short-channel effects in deep-submicron SOI MOSFETs for improved reliability: a review.* IEEE Transactions on Device and Materials Reliability, 2004. **4**(1): p. 99-109.

[4] Kumar, P. and B. Bhowmick, *Comparative analysis of hetero gate dielectric hetero structure tunnel FET and Schottky Barrier FET with n+ pocket doping for suppression of ambipolar conduction and improved RF/linearity.* Journal of Nanoelectronics and Optoelectronics, 2019. **14**(2): p. 261-271.

[5] Larson, J.M. and J.P. Snyder, *Overview and status of metal S/D Schottky-barrier MOSFET technology.* IEEE Transactions on Electron Devices, 2006. **53**(5): p.۱۰۵۸-۱۰۴۸ .

[6] Kumar, P. and B. Bhowmick, *Scaling of dopant segregation Schottky barrier using metal strip buried oxide MOSFET and its comparison with conventional device.* Silicon, 2018. **10**(3): p. 811-820.

[7] Sun, L., et al., *A planar asymmetric Schottky barrier source/drain structure for nano-scale MOSFETs.* Semiconductor science and technology, 2006. **21**(5): p. 608.

[8] Zhang, Y., et al., *Design of 10-nm-scale recessed asymmetric Schottky barrier MOSFETs.* IEEE Electron Device Letters, 2002. **23**(7): p. 419-4.۲۱

[9] Kumar, P. and B. Bhowmick, *2-D analytical modeling for electrostatic potential and threshold voltage of a dual work function gate Schottky barrier MOSFET.* Journal of Computational Electronics, 2017. **16**(3): p. 658-665.

[10] Rahmani, M., et al., *Analytical modeling of trilayer graphene nanoribbon Schottky-barrier FET for high-speed switching applications.* Nanoscale research letters, 2013. **8**(1): p. 1-13.

[11] Raeini, A.G.N. and Z. Kordrostami, *Modified Schottky Barrier CNTFET with lightly doped drain.* Micro & Nano Letters, 2018. **13**(4): p. 442-447.

[12] Kim, H.W., et al., *Schottky barrier tunnel field-effect transistor using spacer technique.* JSTS: Journal of Semiconductor Technology and Science, 2014. **14**(5): p. 572-578.

[13] Zhu, S., et al., *Schottky-barrier S/D MOSFETs with high-k gate dielectrics and metal-gate electrode.* IEEE Electron Device Letters, 2004. **25**(5): p. 268-270.

[14] Manual, A.U.s., *Silvaco int.* Santa Clara, CA, 2008. **5**.

[15] Jhaveri, R., V. Nagavarapu, and J.C. Woo, *Asymmetric Schottky tunneling source SOI MOSFET design for mixed-mode applications.* IEEE transactions on electron devices, 2008. **56**(1): p. 93-99.

[16] Kumar, M.J. and A.A. Orouji, *Two-dimensional analytical threshold voltage model of nanoscale fully depleted SOI MOSFET with electrically induced S/D extensions.* IEEE Transactions on Electron Devices, 2005. **52**(7): p. 1568-1575.

[17] Kumar, P. and B. Bhowmick, *2D analytical model for surface potential based electric field and impact of wok function in DMG SB MOSFET.* Superlattices and Microstructures, 2017. **109**: p. 805-814.

[18] Kumar, P. and B. Bhowmick, *A physics-based threshold voltage model for hetero-dielectric dual material gate Schottky barrier MOSFET.* International Journal of Numerical Modelling: Electronic Networks, Devices and Fields, 2018. **31**(5): p. e2320.

[19] Kumar, P. and B. Bhowmick, *Suppression of ambipolar conduction and investigation of RF performance characteristics of gate-drain underlap SiGe Schottky barrier field effect transistor.* Micro & Nano Letters, 2018. **13** :(۵)p. 626-630.

[20] Nishisaka, M., S. Matsumoto, and T. Asano, *Schottky source/drain SOI MOSFET with shallow doped extension.* Japanese Journal of Applied Physics, 2003. **42**(4S): p. 2009.

[21] Kumar, P., et al., *analysis and Simulation of Schottky tunneling using Schottky barrier FET with 2-D analytical modeling.* Silicon, 2021: p. 1-7.