بررسی روش‌های طرح مسیریابی شبکه مقیاس‌پذیر و با خطای قابل‌قبول برای سیستم‌های چند هسته‌ای و چند تراشه‌ای

نویسنده: وحید عاشوری-ashoori.vahid2015@gmail.com

چکیده: شبکه‌های روی تراشه و اتصالات بین تراشه‌های رایج به‌صورت مجزا طراحی‌شده‌اند . اما این روش طراحی سنتی با چالش بزرگی روبروست. تعداد فزاینده‌ای از پردازشگرهای روی تراشه باید یک واحد ورودی / خروجی را واسطه ارتباط بااتصال داخلی تراشه میانی قرار دهند . افزایش کارکرد شبکه در حدفاصل (در محل ارتباط) تراشه‌ها می‌تواند بار ترافیکی غیریکنواختی در شبکه روی تراشه ایجاد کند . به‌عبارت‌دیگر می‌تواند در محدوده تراشه و اطراف واحد ورودی / خروجی تراکم ترافیکی به وجود آید . تکنولوژی های جدید مانند سیلیکون ویا سیلیکون اینترپروزر می‌توانند مستقیماً شبکه‌ها را بر روی تراشه به هم متصل کنند. این پژوهش طرح‌های مسیریابی جدید را برای حل مشکلات مقیاس‌پذیری شبکه مربوط به نمونه‌های سیستم داخل پکیج چند هسته و چند تراشه‌ای بررسی می‌کند. این طرح پیشنهادی همچنین می‌تواند خطای مجاز (تلورانس) ارتباطات در سطح نانو در طراحی‌های بسیار ریزتر از میکرون را بهبود بخشد.

کلیدواژه: تحمل‌پذیر خطا، شبکه روی تراشه، چندهسته‌ای، سیستم داخل پکیج، شبکه روی تراشه .

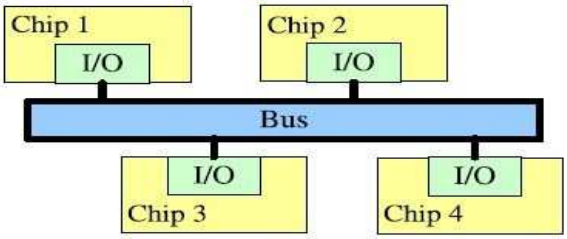
۱- مقدمه

در مقدمه ما به توضیح مختصری در مورد شبکه روی تراشه می پردازیم و روش‌های تحمل‌پذیری خطا در این سیستم را بیان می‌داریم. در این پژوهش ما تحمل‌پذیری خطا در مسیریابی را هدف قرار خواهیم داد و به نسبت توضیح و مفصل‌تری بیان خواهد شد.

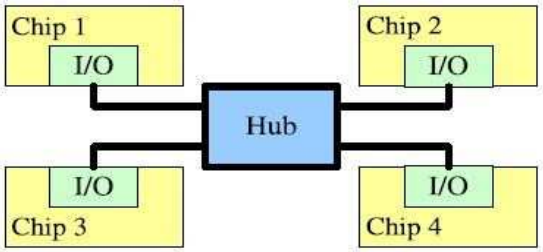
۲- آشنایی با تحمل‌پذیری خطا در شبکه روی تراشه

نسل بعدی تراشه‌های روی سیستم چندهسته‌ای و تراشه‌های چندپردازنده شامل صدها یا هزاران هسته خواهند بود . یک سیستم چند تراشه‌ای نیاز به اتصالات داخلی با کارایی بالا دارد تا بتواند داده‌ها را مابین هسته‌هایی که بر روی تراشه‌های مختلف (سیستم روی تراشه[1]) در سیستم قرار دارند انتقال دهد . اجزای سیستم (به‌طور مثال تراشه‌ها) به‌طورمعمول از طریق یک واحد ورودی / خروجی (ورودی / خروجی با کابل اصلی) اتصال داخلی ، ارتباط برقرار می‌کنند. این کابل اصلی اتصال داخلی می‌تواند یک سیستم اتصال باس (شکل ۱- الف) یا اتصال نقطه‌به‌نقطه و اتصال هسته، انتقال بیش‌ازحد[2] باشد. با ظهور معماری‌های چندهسته‌ای واحد ورودی / خروجی که بین صدها یا هزاران هسته بر روی یک تراشه تقسیم‌شده بود یک تنگنا محسوب می‌شد. رویکردهای بسته‌بندی جدید مانند ترو سیلیکون ویا[3] و سیلیکون اینترپروزر[4] اتصالات کوچک‌تر ، سریع‌تر و با تراکم بالاتری را فراهم می‌کنند. به‌طور مثال زایلینکس اف پی جی‌ای، پردازنده مالتی مدیا برای دستیابی به ماژول چند تراشه‌ای[5] با کارایی بالاتر و طراحی سیستم‌های داخل پکیج[6] باقیمت پایین‌تر و تراکم بالاتر نسبت به تکنولوژی‌های بسته‌بندی و لایه‌ای سنتی از تکنولوژی تی، اس، وی و اس، آی بهره برده است. یک اینترپروزر سیلیکونی اتصال مستقیم چندین تراشه به یکدیگر را از طریق ارتباطات با پهنای باند و تأخیر (زمانی) پایین‌تر فراهم می‌کند. به‌عبارت‌دیگر شبکه‌های روی تراشه‌ای می‌توانند به‌جای آنکه از اتصال داخلی میان تراشه و واحد ورودی / خروجی استفاده کنند ، مستقیماً از طریق اتصالات چندگانه در یک اینترپوزر سیلیکونی به یکدیگر وصل شوند. از شبکه‌های اتصال روی تراشه‌ای گرفته تا نمونه‌های شبکه‌های روی تراشه‌ها ارسال بسته‌ای برای ارتباطات در سطح نانو یک رویکرد بلندمدت و تهاجمی محسوب می‌شود. در یک شبکه روی تراشه طراحی یک مکانیسم بدون بن یست و بن باز برای عملکرد یک سیستم ارتباطی حیاتی است اما نسبتاً تعداد کمی از مطالعات مقیاس‌پذیری را از دیدگاه یک سیستم مدنظر قرار می‌دهند. بدین معنا که شبکه ترکیبی از طریق به هم پیوستن دو شبکه بدون بن‌بست روی تراشه‌ای (شکل ۲-ب) ایجاد شود احتمالاً دیگر بدون بن‌بست قابل‌ارسال نیستند. این به این دلیل است که بیشتر طرح‌های مسیریابی روی تراشه‌ای برای آماده کردن و در اختیار گذاشتن هستند. همان‌طور که شکل ۲-ب نشان می‌دهد اتصالات اضافی بین دو شبکه توپولوژی منظم ، توپولوژی شبکه ترتیبی را نامنظم می‌کند و می‌تواند قوانین طرح مسیریابی توپولوژی آگاهانه را نقض کند.

www.kahrobaonline.ir



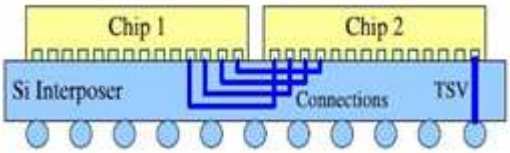
شکل ۱- الف) گذرگاه سیستم



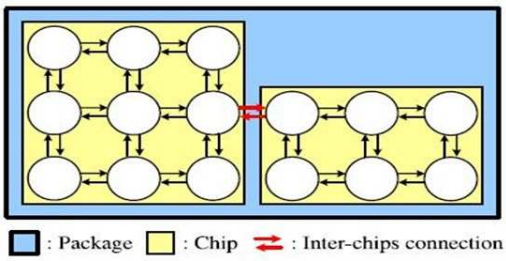
شکل ۱- ب) هاب ارتباطی نقطه‌به‌نقطه

۳- آشنایی با تحمل‌پذیری خطا در مسیریابی شبکه روی تراشه

برای رسیدگی به مشکل بدون بن‌بست بودن در یک‌رشته مرتبه‌ای (سلسله مراتبی) ، هالس مارک و همکارانش با ترکیب الگوریتم‌های توپولوژی آگاهانه مسیریابی شبکه‌های مجزا ، روشی به نام (الگوریتم‌های مسیریابی مرتبه‌ای[۷]) پیشنهاد کردند . در مقابل یک طرح مسیریابی کاملاً غیرآگاهانه ازنظر توپولوژی می‌تواند راه‌حل جایگزین مناسبی باشد. اخیراً به‌منظور پشتیبانی از انتقال wormhole (WH) ، کاهش کارکرد یا فرو فعال کردن ارتباط مقرون‌به‌صرفه ازلحاظ انرژی در BLESS از مسیریابی انحرافی استفاده شد . اما عملکرد مسیریابی بدون بافر مؤثر نبود. (یعنی تأخیر بیشتر و خروجی عملکرد پایین‌تری دارد). اما خصوصیت توپولوژی ناآگاهانه مسیریابی انحرافی نمی‌تواند مورد چشم‌پوشی قرار گیرد . چون اندازه بافر روتر ازلحاظ هزینه و انرژی اهمیت زیادی در طراحی‌های CMP ندارد. طراحی یک معماری شبکه که هم شامل مسیریابی انحرافی و هم بافرهای مسیریاب برای به انجام رساندن ارتباط مسیریابی توپولوژی آگاهانه و با کارایی مؤثرتر باشد جالب خواهد بود. یکی دیگر از مسائل حیاتی و ضروری برای سیستم‌های ارتباطی در مقیاس نانو در طراحی‌های چندهسته‌ای سیستم روی تراشه تلورانس خطاست آن‌هم به دلیل افزایش میزان خطا در اتصالات رو و میان تراشه‌ای در طراحی‌های ریزتر از میکرون. یک طرح مسیریابی انحرافی بدون شباهت به طرح‌های مسیریابی توپولوژی آگاهانه یا متدهای مسیریابی جبری و مسیریابی بخشی که اجباراً بسته‌ها را به یک مجموعه از پیش تعریف‌شده از مسیرهای انتقال به‌سوی کره مقصد وجود داشته باشد ، به‌سوی مقصد فرستاده می‌شود .به‌علاوه در یک سیستم چند تراشه‌ای ، افزایش تعداد اتصالات بین دو تراشه از طریق اینترپوزر عملکرد مسیریابی (ارسال اطلاعات) را بهبود بخشیده و شرایط بدون توقف را حفظ می‌کند. برای تولید در حجم زیاد، زمان کل آزمایش تراشه به‌منظور پایین نگه‌داشتن هزینه‌ی کل باید تا جایی که ممکن است کاهش یابد.



شکل۲-الف) اتصالات چندین تراشه در سیلیکون اینترپروزر SI



شکل۲-ب) دو تراشه SIP

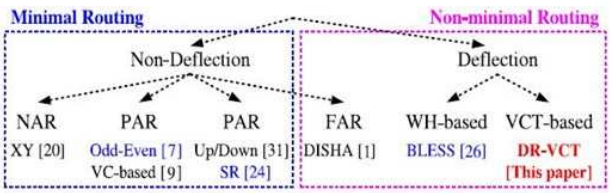
سیستم‌های تعبیه‌شده می‌توانند از سیستم روی تراشه توزیع‌شده و تراشه چندپردازنده[۸] چندگانه تشکیل‌شده باشند. این اجزای سیستم‌ها در حال حاضر توسط یک اتصال درون تراشه‌ای جفت شده‌اند و عناصر پردازش اصلی یک چیپ توسط یک شبکه روی تراشه‌ای به یکدیگر مرتبطاند. یک پیام برای عبور از شبکه روی تراشه و اتصال داخل تراشه باید قالب داده‌های خود را که با عنوان بسته شناخته می‌شود تغییر دهد تا به پروتکل‌های شبکه‌ای مختلف وفادار بماند. این تغییر شکل ناگزیر منجر به تنزل کارایی و ازکارافتادگی بی‌مورد می‌شود. بر اساس پیشرفت‌های اخیر صورت گرفته در تکنیک‌های تولید چیپ و متدهای بسته‌بندی ، این امکان فراهم‌شده است تا چندین چیپ متجانس و غیر متجانس در درون یک بسته گنجانده شوند . یکی از بزرگ‌ترین پیشرفت‌ها امکان حذف تجهیزات پل شبکه را فراهم کرده و به‌طور چشمگیری کارایی ارتباط را افزایش داده و مصرف انرژی را کاهش می‌دهد، بااین‌وجود ترکیب کردن شبکه‌های روی تراشه روی یک سیستم داخل پکیج

www.kahrobaonline.ir

کار ساده‌ای نیست . به‌طور مثال برای دستیابی به لایه شبکه مدل OSI مسیریابی بدون توقف ، بدون قربانی کردن کارایی ارتباطی باید تضمین شود.

۳-۱- بن‌بست و بن باز

بن‌بست یک حالت شبکه‌ای غیرعادی است که در آن‌یک چرخه رابطه وابستگی نگهداری و انتظار[۹] در میان منابع شبکه شکل می‌گیرد که باعث می‌شود مسیریابی بسته برای مدت نامحدودی به تأخیر بیافتد. ضمناً در شرایط بن باز یک بسته به این دلیل که کانال‌های درخواستی پیوسته توسط سایر بسته‌ها اشغال‌شده‌اند، بدون اینکه هرگز به مقصد خود برسد مدام در اطراف شبکه در حال حرکت است. در هر طرح مسیریابی اجتناب از وضعیت بن‌بست و بن باز ضروری است. همان‌گونه که شکل ۳ نشان می‌دهد، طرح‌های مسیریابی بدون بن‌بست به دو روش غیر انحرافی و انحرافی دسته‌بندی‌شده‌اند. طرح‌های مسیریابی غیر انحرافی با به کار گرفتن طرح‌های مسیریابی انطباقی[۱۰] مانند XY، طرح‌های ریشه‌یابی اندک انطباقی و غیره از بن‌بست اجتناب می‌کنند. بن‌بست می‌تواند با استفاده از تکنیک بازیافت بن‌بست مانند DISHA حذف شود و این متد امکان دستیابی به هدف ریشه‌یابی انطباقی کامل[۱۱] را فراهم می‌آورد . مطالعات و تحقیقات بسیاری در مورد طرح‌های ریشه‌یابی غیر بحرانی در منابع و نوشته‌ها وجود دارد. طرح‌های مسیریابی انحرافی آزادی بن‌بست را با اطمینان حاصل کردن از اینکه هر بسته به‌طور مداوم تغییر می‌یابد تا اینکه به مقصد نهایی خود برسد ، تضمین می‌کنند . بنابراین بسته‌ها می‌توانند از طریق مسیرهای مسیریابی غیر کمینه‌ای به مقصد خود برسند. طرح‌های مسیریابی غیر کمینه‌ای کوتاه‌ترین مسیر را از یک منبع به مقصد انتخاب می‌کنند بنابراین می‌توان از مشکل بن باز اجتناب کرد. ازآنجاکه بن باز می‌تواند در طرح‌های مسیریابی غیر کمینه‌ای بروز کند ما در بخش ۳ یک روش را موردبررسی قرار می‌دهیم که مشی بدون بن باز، را برای طرح مسیریابی انحرافی پیشنهاد می‌دهد.



شکل ۳- طبقه‌بندی روش‌های مسیریابی بدون بن‌بست

۴- معرفی زمینه مطالعاتی و اهمیت آن

زمینه مطالعه این پژوهش تحمل‌پذیر نمودن خطا در مسیریابی شبکه روی تراشه است. هدف افزایش قابلیت اطمینان با استفاده از تحمل‌پذیر نمودن خطا به‌وسیله مسیریابی انحرافی شبکه روی تراشه، تحمل‌پذیر نمودن خطا به‌وسیله مسیریابی مدل میدان پتانسیل مصنوعی در شبکه روی تراشه است. که در این پژوهش ما قابلیت آزمایش را نیز به این سیستم تحمل‌پذیر خطا اضافه می‌کنیم تا قابلیت اطمینان[۱۲] به این نوع سیستم آزمایش افزایش یابد.

۴-۱- مطالعه روش‌های مسیریابی در شبکه روی تراشه

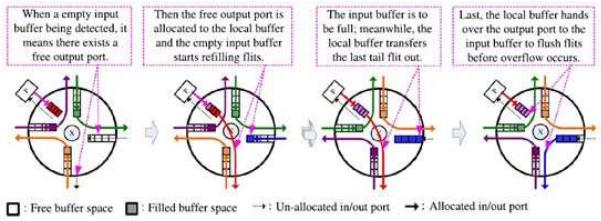
مسیریابی انحرافی یا مسیریابی سیب‌زمینی داغ اولین بار توسط باران[۱۳] پیشنهاد شد. یکی از ویژگی‌های ممتاز مسیریابی انحرافی این است که می‌تواند در یک مسیریاب بدون بافر به کار گرفته شود. درنتیجه استفاده از مسیریابی انحرافی در شبکه‌های انتقال نوری برای جلوگیری استفاده از بافرهای نوری گران‌قیمت، متداول شد. ریشه‌یابی انحرافی اخیراً برای صرفه‌جویی در هزینه بافر و مصرف انرژی در BLESS استفاده‌شده است. بااین‌وجود تحقیق دیگری نشان داد که مسیریاب بدون بافر در BLESS کارایی ارتباطی مؤثری نداشت و اینکه استفاده از بافرهای بر مبنای اس،رم می‌تواند هم هزینه و هم مصرف انرژی یک مسیریاب بافری را کاهش دهد. اما از ویژگی‌های متمایز ناآگاهی در توپولوژی شبکه و انطباق کامل مسیریابی بسته‌ها مسیریابی انحرافی نمی‌توان چشم‌پوشی کرد. اگر یک طرح انحرافی مسیریابی بتواند از انطباق‌پذیری مسیریابی استفاده کند درعین‌حالی که ناکارآمدی را در کنترل جریان ترافیکی به حداقل می‌رساند، آنگاه کارایی ارتباطی می‌تواند به‌طور چشمگیری افزایش یابد.

۴-۱-۱- مکانیسم بدون بن‌بست مسیر انحرافی

در مسیریابی انحرافی هر بسته به‌طور مداوم تغییر می‌یابد تا جایی که به مقصد نهایی برسد . بر همین اساس مسیریابی انحرافی بدون انسداد است . وقتی‌که تعداد پورت‌های ورودی و تعداد پورت‌های خروجی در یک مسیریاب یکسان باشند و به بسته‌های جدید از پردازشگر محلی اجازه داده نشود که پورت خروجی را وقتی‌که همه پورت‌های ورودی متصل به توترهای همسایه مشغول هستند ،

www.kahrobaonline.ir

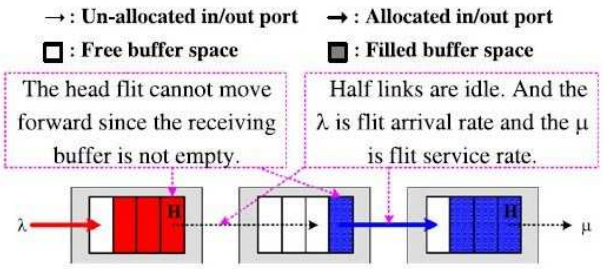
اشغال کنند . برای تبعیت از خط‌مشی تزریق بسته مسیریابی انحرافی در BLESS، اندازه بسته به‌اندازه یک فلیت یا یک بسته با چندین فلیت طراحی شد. اما یک بسته در حال پیشروی از پردازشگر محلی می‌تواند کوتاه و ناقص شود تا پورت خروجی اشغال‌شده‌اش را برای یک بسته تازه‌وارد از یک مسیریاب همسایه آزاد کند تا مانع از انسداد شود . این کوتاه شدن بسته‌ها همان‌طور که گفته شد می‌تواند منجر به مشکل اساسی مرتب کردن دوباره فلیت ها شود . در مکانیسم مسیریابی انحرافی VCT[۱۴] پیشنهادی یک بسته خارج‌شده از بافر محلی (متصل به پردازنده محلی) هر وقت که هرکدام از بافرهای دیگر ورودی متصل شده به روتر همسایه خالی باشد با یک پورت خروجی جایگزین می‌شود. اگرچه که بافر ورودی خالی در درست بعد از جایگزینی کافی است . همان‌گونه که شکل ۴ نشان می‌دهد .



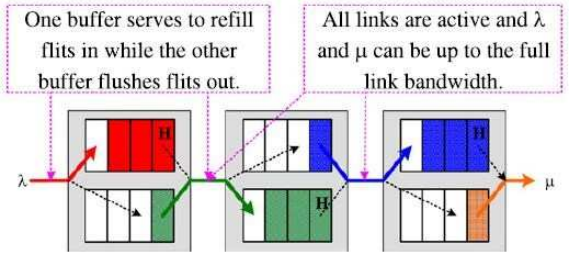
شکل ۴- مکانیسم بدون بن‌بست با روش DR-VCT

۴-۱-۲- بافر پینگ‌پونگ

عمده‌ترین محدودیت سوئیچینگ VCT این است که فلیت های هر بسته تنها وقتی‌که فضای بافر در روتر دریافت‌کننده برای جا دادن تمام بسته در دسترس باشد می‌تواند به روتر بعدی انتقال یابد. شکل ۲-۲ الف نشان می‌دهد که به‌کارگیری پیوند (لینک) حتی وقتی‌که یکی از فلیت های بسته قبلی در بافر دریافت‌کننده باقی‌مانده، به دلیل مسدود شدن بسته اصلی، کمتر از ۵۰ درصد است. به‌منظور افزایش کارایی سوئیچینگ VCT متد پیشنهادی به هر بافر سایزی دو برابر طول بسته اختصاص می‌دهد و آن را وادار می‌کند تا به شبکه پینگ‌پونگ عمل کند. یعنی وقتی نصف بافر با فلیت ها پر می‌شود نصف دیگر بافر می‌تواند به‌طور هم‌زمان فلیت ها را به بیرون بفرستد. این دو عمل (یعنی دوباره پر کردن فلیت ها و بیرون فرستادن آن‌ها) همان‌گونه که شکل ۵ نشان می‌دهد با استفاده کامل از پهنای باند لینک، به‌صورت تکرارشونده انجام می‌شود.



شکل ۵- سوئیچینگ VCT با بافر به‌اندازه طول بسته

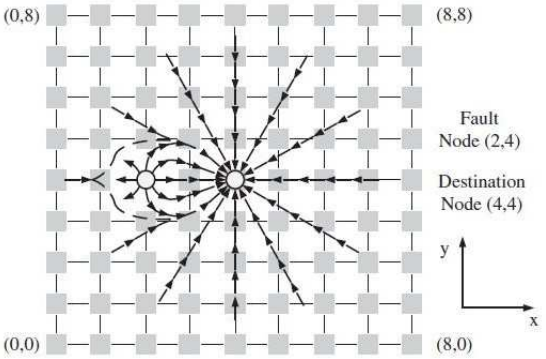


شکل ۶- سوئیچینگ VCTبا بافر به‌اندازه دو برابر طول بسته

۴-۲- مدل میدان پتانسیل مصنوعی محور

خرابی‌هایی که در شبکه روی تراشه‌ها رخ می‌دهند ممکن است باعث خراب شدن کل سیستم شود ازجمله گره‌های معیوب مانع از مسیریابی برخی از پیغام‌ها به مقاصدشان می‌شود. گره‌های معیوب زمانی که پیغام‌ها در شبکه روی تراشه‌ها حرکت می‌کنند به موانعی تبدیل می‌شود. ما بر اساس میدان پتانسیل مصنوعی روش جدیدی را در حل مسائل ایجادشده به‌واسطه خرابی‌های دائمی در یک شبکه روی تراشه ایجاد می‌کنیم. گره‌های معیوب همان قطب‌های میدان پتانسیل دافع و مقاصد همان قطب‌های میدان پتانسیل دافع هستند. بنابراین فشار میدان پتانسیل مصنوعی ترکیبی، پیغام‌ها را به سمت مقصد هل می‌دهد و درعین‌حال از کنار گره‌های معیوب می‌گذرد. شکل ۷ مثالی از یک میدان پتانسیل مصنوعی در یک شبکه 2D ارائه می‌دهد.

www.kahrobaonline.ir



شکل ۷- یک میدان پتانسیل مصنوعی در یک شبکه 2D

۴-۲-۱- الگوریتم مسیریابی تولرانت خرابی بر اساس مدل میدان پتانسیل مصنوعی[۱۵]

از الگوریتم‌های مسیریاب در تعیین زنجیره‌ای از کانال‌ها استفاده می‌شود که در آن پیغام‌ها بین گره‌های منبع و گره‌های مقصد حرکت می‌کنند. یک الگوریتم مسیریابی تولرانت خرابی بر اساس مدل میدان پتانسیل مصنوعی پیشنهاد می‌شود ما از مفهوم اطلاعات معیوب محدود سراسری استفاده می‌کنیم بدین معنا که وضعیت هم‌جوار خود را در منطقه‌ای مشخص می‌داند. اگر هیچ اطلاعات تولرانت معیوبی در گره‌ی فعلی وجود نداشته باشد بدین معناست که گره‌ی فعلی از گره‌های معیوب بسیار دور است و یا در شبکه روی تراشه هیچ گره‌ی معیوبی وجود ندارد. بنابراین می‌توانیم از هر الگوریتم مسیریابی که وجود دارد استفاده کنیم. الگوریتم مسیریابی مرتبه بعدی ، آسان کمینه و بدون بست است. این الگوریتم به‌طور پشت سر هم در هر بُعد پیغام می‌فرستد تا زمانی که فاصله در آن بُعد به صفر برسد ، سپس به بُعد بعدی می‌رود. این پیغام‌ها را می‌توان بر اساس این قوانین در این حالت ساده مسیریابی کرد. اگر اطلاعات معیوب در گره‌ی فعلی انباشته‌شده باشد. از مدل پیشنهادی میدان پتانسیل مصنوعی در محاسبه‌ی پورت خروجی پیغام استفاده می‌شود.

۴-۲-۲- ریکاوری بن‌بست

الگوریتم پیشنهادی مسیریابی تولرانت خطا بر اساس مدل APF به پیغام‌ها اجازه می‌دهد تا تمامی مسیرهای احتمالی را در شبکه‌ی 2D در نظر بگیرند برخی از پیغام‌ها ممکن است منتظر پیغامی باشند که توسط پیغامی دیگر حفظ می‌شوند و هم‌زمان منبع اشغال‌شده توسط پیغامی دیگر را حفظ می‌کند. اگر تمامی آن‌ها منابعی را به روشی مدور تقاضا کرده و نگهدارند بن‌بست رخ می‌دهد بااین‌حال بن‌بست‌ها در مسیریاب با اندازه‌گیری زمانی که هدر (Header) پیغام مسدود می‌شود ، شناسایی می‌شود و آن را با یک آستانه مقایسه می‌کند. اگر زمان انسداد هدر ، بیشتر از آستانه باشد ، این پیغام یک بن‌بست است سپس مکانیسم ریکاوری برای رها کردن منابعی که توسط پیغام بن‌بست اشغال‌شده صورت می‌گیرد متعاقباً پیغام‌های بن‌بست باید بعداً خراب و از نو منتقل شوند. این آستانه قطعاً کارآمدی مکانیسم شناسایی بن‌بست را تعیین می‌کند این آستانه باید تضمین کند که بین بست ها به‌محض اینکه رخ می‌دهند شناسایی می‌شوند. بعلاوه کافی است که تنها حائل اشغال‌شده توسط یکی از بسته‌هایی را آزاد کنیم که در اکثر نمونه‌ها باعث بن‌بست شده گشته است. بنابراین به شناسایی بن‌بست‌ها با احتمال P(p=1/8) می‌پردازیم.این امر می‌تواند عملکرد شناسایی بن‌بست و مکانیسم ریکاوری را بهتر کند بااین‌حال زمان آستانه قویاً به بار شبکه بستگی دارد که از قبل در مرحله‌ی طراحی مشخص نیست بنابراین از طریق شبیه‌سازی به آنالیز آستانه می‌پردازیم.

۵-مقایسه و نتیجه‌گیری

در پایان مفهوم شبکه روی تراشه و روش‌های تحمل‌پذیر نمودن خطا در مسیریابی شبکه روی تراشه معرفی شد. از بین چالش‌های موجود در تحمل‌پذیری خطا ، تحمل‌پذیر نمودن خطا با روش مسیریابی انحرافی در شبکه روی تراشه و تحمل‌پذیر نمودن خطا به‌وسیله مسیریابی مدل میدان پتانسیل مصنوعی در شبکه روی تراشه به‌عنوان زمینه مطالعه انتخاب شد و روش‌های بکار رفته موردبررسی قرا گرفت. و همچنین مزایا و معایب هرکدام به‌اختصار در جدول شماره ۱ بیان‌شده است.

جدول ۱- مقایسه‌ی روش‌های مسیریابی

خصوصیات/روش‌ها	مسیریابی انحرافی	مسیریابی APF
قابلیت کار با گره تصادفی معیوب در 2D	ندارد	دارد
شناسایی بن‌بست و مکانیسم ریکاوری	قابل‌قبول	خوب است و باعث بهبود قابل‌ملاحظه‌ای عملکرد الگوریتم پیشنهادی شود
نوع مسیریابی	مسیریابی آگاهانه	مسیریابی آگاهانه

www.kahrobaonline.ir

مصرف انرژی	پایین است	کم با استفاده از شناسایی بن‌بست و مکانیسم ریکاوری

1- SOC
2- Hyper transport
3- Through silicon via (TSV)
4- Silicon interposer
5- Multi-chip module (MCM)
6- system in package (SIP)
7- HIRA
8- CMP
9- hold-and-wait
10- Non Adaptive routing (NAR)
11- Fully Adaptive Routing (FAR)
12- Reliability
13- Baran
14- Virtual Cut Through
15- APF

مراجع

[1] Fault tolerant routing algorithm based on the artificial potential field model in Network-on-ChipYonghui Li, Huaxi Gu

[2] A scalable and fault-tolerant network routing scheme for many-core and multi-chip systems

Wen-Chung Tsai a, Kuo-Chih Chub, Yu-Hen Huc, Sao-Jie Chend

[3] F. David et al, Vicis: a reliable network for unreliable silicon, in: Proceedings of the 46th Annual Design Automation Conference, ACM, San Francisco, California, 2009.

[4] A.D. David Fick, Gregory K. Chen, Valeria Bertacco, Dennis Sylvester, David Blaauw, A highly resilient routing algorithm for fault-tolerant NoCs., in Design, Automation and Test in Europe, DATE 2009, Nice, France, 2009.

[5] G.M. Chiu, The odd–even turn model for adaptive routing, IEEE Transactions on Parallel and Distributed Systems 11 (2000) 729–738.

[6] D. Fick, A. DeOrio, G. Chen, V. Bertacco, D. Sylvester, D. Blaauw, A highly resilient routing algorithm for fault-tolerant NoCs, in: Proceedings of the Design, Automation and Test in Europe Conference, 2009, pp. 21–26[3] A. Adel, P. Ahmadi, M. Sabet, "Desining Model for Choosing human resources with data mining approach. Journal of Iranian Technology, Vol. 2, No. 4, 2010 [In Persian].

www.kahrobaonline.ir