بررسی ترانزیستورهای FINFET

امین شیخ نجدی

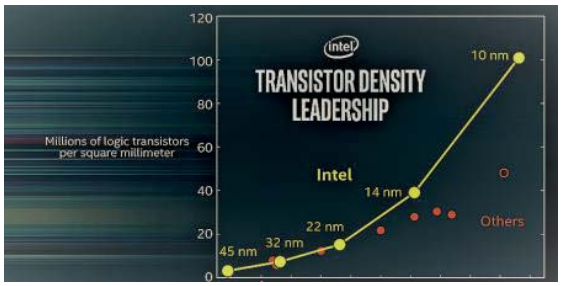
دانشگاه آزاد اسلامی واحد دزفول ، najdi@iaud.ac.ir

چکیده: ترانزیستور ***FINFET*** فین‌فت نوعی خاص از ماس‌فت‌های با چند گیت است که با توجه به فیزیک خاص و شکل ظاهری خود در کوچک‌تر کردن ابعاد ترانزیستورها به سمت اندازه‌های کمتر از ۲۲نانومتر کمک شایانی خواهد کرد. مشکل اصلی در این راه، اثرات کانال کوتاه است که به شدت مانع کوچک‌تر کردن ترانزیستور خواهد شد و عملکرد قطعه را مختل خواهد کرد. فین‌فت علاوه بر کنترل بهینه‌ی اثرات کانال کوتاه، نقش‌های دیگری هم دارد که از بین آن‌ها می‌توان به بهبود قابلیت حرکت و جریان راه‌اندازی، تغییرات کمتر ولتاژ آستانه، کاهش جریان نشتی و قابلیت کنترل پتانسیل کانال بدون استفاده از ناخالصی اشاره کرد. بنابراین می‌بینیم که گسترش و استفاده‌ی بیشتر از این قطعه مزایای چشمگیری را به همراه دارد که در مدارهای آنالوگ و دیجیتال تغییرات عمده‌ای را باعث خواهد شد.

کلید واژه: گیت سه فلزی ، *FINFET* ، *SOI*

۱- مقدمه

همان طور که می دانید طبق پیش بینی قانون مور میزان تراکم تعداد ترانزیستور ها در هر میلی مترمربع در هر دو سال دو برابر خواهد شد بر همین اساس شرکت اینتل اعلام کرد که توانسته رکورد جدیدی در این زمینه ثبت کرده و حتی قانون مور را نیز به نوعی با این تکنولوژی جدید دست خوش تغییر کرده است تا جایی که توانسته اند تعداد ۱۰۰ میلیون ترانزیستور را در هر میلی متر مکعب جای دهند وبر این اساس این بار نه تنها ۲برابر بلکه اینتل توانسته این میزان را به ۲/۵ برابر افزایش دهد که به نوعی خود قانون مور را تغییر میدهد . چرا که همانطور که در نمودار زیر مشاهده میکنید تعداد ترانزیستور های قرار داده شده در پردازنده های ۲۲ نانومتری ۱۵/۳ میلیون و سپس در پردازنده های ۱۴ نانومتری ۳۷/۵ میلیون ترانزیستور میباشد ولی با تکنولوژی جدید این بار در پردازنده های ۱۰ نانومتری اینتل موفق شده است ۱۰۰ میلیون ترانزیستور را در هر میلی مترمکعب جای دهد که این میزان نیم درصد بیشتر از میزانی است که قانون مور پیش بینی نموده است و به خودی خود موفقیت بزرگی برای این شرکت و صنعت پردازنده محسوب میشود [۱].



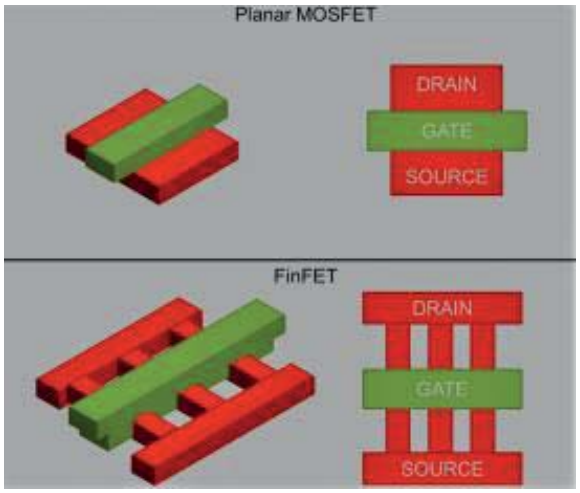
۲- معرفی

امروزه با توجه به پیشرفت روزافزون صنایع الکترونیک و کاهش ابعاد ترانزیستورها، ترانزیستورهای MOSFET به علت مسائل پیش آمده در فناوری های جدید دیگر قابل کوچک شدن نیستند. از جمله این مسائل، اثرات کانال کوتاه، تونل زنی از طریق اکسید گیت و نیز عدم کنترل دقیق بر روی تعداد و مکان اتم‌های ناخالصی است. این مشکلات باعث کاهش کارایی و قابلیت اطمینان مدارهای دیجیتال ساخته شده با این نوع از ترانزیستورها شده است. لذا، انقلابی در ساختار این ترانزیستورها برای پیشرفت فناوری ضروری خواهد بود.[2] در راستای کاهش مشکلات و اثرات پیش گفته استفاده از ساختارهای جدید مورد توجه قرار گرفته است. از جمله این ساختارها، ترانزیستورهای فین‌فت (FinFET) است که می تواند با استفاده از فناوری

سیلیسیم بر روی عایق (SOI) و یا بالک (Bulk) معمولی ساخته شود و با ایجاد کنترل الکترواستاتیک بهتر بر روی کانال، اثرات کانال کوتاه(از جمله DIBL, GIDL) توان نشتی را به طورموثر کاهش و سرعت سوییچینگ قطعه را افزایش می دهد. این نوع از ترانزیستور به دلیل کنترل مناسب گیت بر روی کانال اثرات کانال کوتاه را کاهش داده و نیاز به ناخالص کردن شدید بدنه (کانال) را از بین می برد. علاوه بر ساختارهای متداول و متقارن، می توان از ساختارهای ترانزیستوری نامتقارن نیز جهت افزایش بهره وری ترانزیستورهای فین‌فت استفاده کرد .

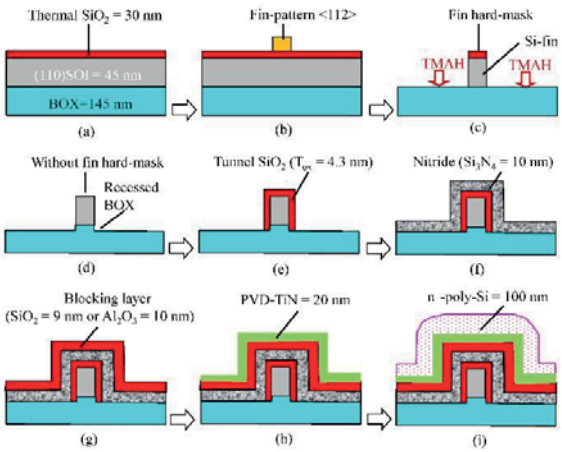
از نظر ساختاری، فین‌فت دارای دو نوع گیت مشترک Common Gate FinFET (CGFinFET) و گیت‌های مستقل از هم Independent Gate FinFET (IGFinFET) می‌باشد. IGFinFET، به دلیل داشتن پایانه از انعطاف‌پذیری بیشتری برای طراحی مدارهای دیجیتال برخوردار است، بنابراین بیشتر مورد توجه طرّاحان قرار گرفته‌است. یکی از عوامل مهم و تاثیرگذاری که در طراحی مدارها و بهینه‌سازی آنها نقش دارد، وجود مدل‌های فنّاوری پیش‌بینی کننده Predictive Technology Model (PTM) می‌باشد.[۳]

همانطور که قبلا بیان شد اینتل موفق شده است در پردازنده های ۱۰ نانومتری ۱۰۰ میلیون ترانزیستور را در هر میلی مترمکعب جای دهد که این میزان نیم درصد بیشتر از میزانی است که قانون مور پیش بینی نموده است و به خودی خود موفقیت بزرگی برای این شرکت و صنعت پردازنده محسوب میشود. روشی که اینتل برای جای دادن این تعداد از ترانزیستور را در هر میلی متر مکعب استفاده کرده است به جای تاکید بر کوچک کردن حجم استفاده از ترانزیستور های سه بعدی بوده است که FinFET نامیده میشود که در این روش ترانزیستور به گونه ای طراحی میشود که گیت های متفاوت بر روی ترانزیستور واحد و در زمان واحد بتوانند مورد استفاده قرار بگیرند .در تصویر زیر به وضوح میتوانید تفاوت بین تکنولوژی MOFSET مسطح و FinFET سه بعدی را مشاهده نمایید.



شکل ۲ : شمای سه بعدی finfet [1]

ترانزیستور FINFET فین‌فت نوعی خاص از ماس‌فت‌های با چند گیت است که با توجه به فیزیک خاص و شکل ظاهری خود در کوچک‌تر کردن ابعاد ترانزیستورها به سمت اندازه‌های کمتر از ۲۲نانومتر کمک شایانی خواهد کرد.



شکل ۳ : فرایند ساخت finfet [2]

در یک ترانزیستور FinFet ، گیت FET در سه جهت ترانزیستور می پیچد و کانال به گونه ای به سمت بالا می آید.این حالت از ترانزیستور، قابلیت کنترل بر روی هدایت کانال در سه جهت بصورت عمودی را ایجاد می کند ، که باعث می شود کنترل بر روی جریان دهی ترانزیستور نسبت به ترانزیستورهای مسطح (Planar) به مراتب بهتر شود. علت اطلاق نام FinFet ، کانال

بالا آمده ی آن است ، بدین مفهوم که، این کانال بعلت بالا آمدن همانند یک بال(Fin) شده و به همین دلیل به دو طرف گیت Fin یا بال گفته می شود. لازم به ذکر است که استفاده از چند Fin به جریان دهی بیشتر ترانزیستور کمک می کند.FinFetها، بشدت توان مصرفی را در همان سطح از کارایی، نسبت به مدارات قبلی ، کاهش می دهند. بر طبق داده های شرکت Intel ، ترانزیستورهای سه-گیته ۲۲ نانومتری ، عملکرد (performance) را ۳۷ درصد بهبود بخشیده و ۵۰ درصد توان مصرفی کمتری در عمکردی مشابه ، نسبت به ترانزیستورهای ۳۲ نانومتری مسطح ، استفاده می کنند و تنها ۲ الی ۳ درصد به هزینه ویفر اضافه می شود.

باید توجه داشت در ساختار چند گیتی این ترانزیستورها ، به دلیل افزایش تعداد گیتها ، کنترل گیت بر روی کانال افزایش پیدا میکند و اقر بار القا شده از سورس و درین در کانال کاهش می یابد که باعث توقف اثر کانال کوتاه میشود [۵].

FINFET با ساختار ترانزیستور CMOS معمولی نیز سازگار است که امکان ساخت سریع این قطعه را فراهم میسازد [۶].

مراجع

[۱] بانک جامع مقالات و پروژه های الکترونیک https://glcd.ir/finfet/

[۲] بهبود کارایی و قابلیت اطمینان با استفاده از ترانزیستورهای نانوی FinFET در مدارهای دیجیتال رضا اسدپور و علی افضلی کوشا کارشناسی ارشد، ۱۳۹۲/۰۶/۰۴

[۳] ابراهیمی, محمدجواد و مهران ابدالی، ۱۳۹۵، طراحی و شبیه سازی ترانزیستور FinFET جهت اصلاح نسبت جریان حالت روشن به جریان حالت خاموش، سومین کنگره بین المللی کامپیوتر، برق و مخابرات، تربت حیدریه، دانشگاه تربیت حیدریه،

[4] Liu, Y.; Nabatame, T.; Matsukawa, T.; Endo, K.; O'uchi, S.; Tsukada, J.; Yamauchi, H.; Ishikawa, Y.; Mizubayashi, W.; Morita, Y.; Migita, S.; Ota, H.; Chikyow, T.; Masahara, M. Comparative Study of Charge Trapping Type SOI-FinFET Flash Memories with Different Blocking Layer Materials. J. Low Power Electron. *Appl.* 2014, *4*, 153-167

[5] X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang,J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi,K. Asano, V. Subramanian, T.-J. King, J. Boker, and C.Hu, "Sub 50nm FinFET:PMOS," Int. Electron Devices Meeting Tech. Dig., Washington,pp.67, 1999

[6] Prateek Mishra, Anish Muttreja, and Niraj K. Jha," FinFET Circuit Design" , DOI 10.1007/978-1-4419-7609-3_2, Springer Science+Business Media, LLC 2011